

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

10154751 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08314762

(51) Int'l. Cl.: H01L 21/76 H01L 21/768 H01L 29/78

(22) Application date: 26.11.96

(30) Priority:

(43) Date of application publication: 09.06.98

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: UKETA TAKAAKI
KUDO CHIAKI
YABU TOSHIKI

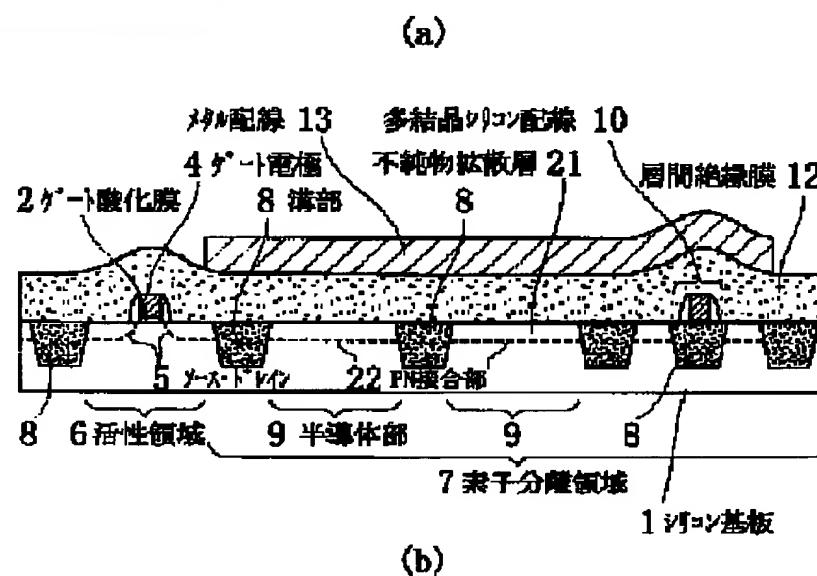
(74) Representative:

(54) SEMICONDUCTOR DEVICE

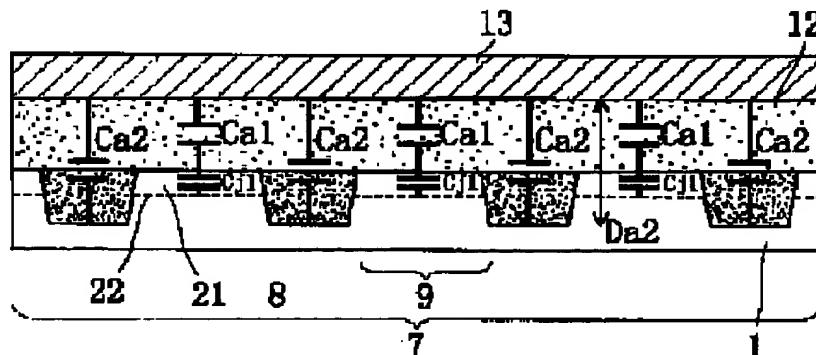
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of high operation speed, by reducing a wiring-substrate capacitance in an element isolation region, or reducing an accumulated electric charge amount in capacitance.

SOLUTION: On a P-type silicon substrate 1, an active region 6 where an element is provided, and an element isolation region 7 surrounding it are provided, and comprises a groove part 8 and a dummy semiconductor part 9. An inter-layer insulation film 12 is deposited on the substrate, with a wiring 13 over it. In the semiconductor part 9, an impurity diffusion layer 21 which is formed at the same time with ion-implantation into element is formed, while a PN joint part 22 formed between the impurity diffusion layer 21 and the silicon substrate 1. The capacitance component in the region passing the semiconductor part 9 among wiring-substrate capacitance is equal to addition, in series, of capacitance of impurity diffusion layer 21 to that of inter-layer insulation film 12, resulting in the amount less than the capacitance only with inter-layer insulation film, so that the entire wiring-substrate capacitance is reduced and the semiconductor device & operate at higher speeds.



(b)



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-154751

(43)公開日 平成10年(1998)6月9日

(51)Int.Cl.⁶
H 0 1 L 21/76
21/768
29/78

識別記号

F I
H 0 1 L 21/76
21/90
29/78
N
V
3 0 1 X

審査請求 未請求 請求項の数17 O.L (全 13 頁)

(21)出願番号

特願平8-314762

(22)出願日

平成8年(1996)11月26日

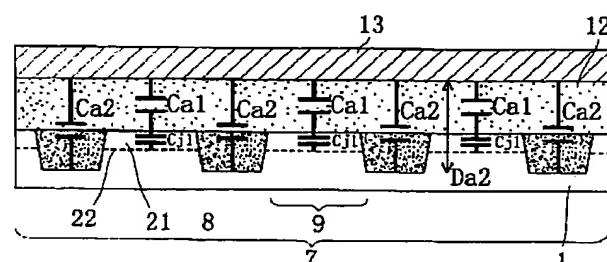
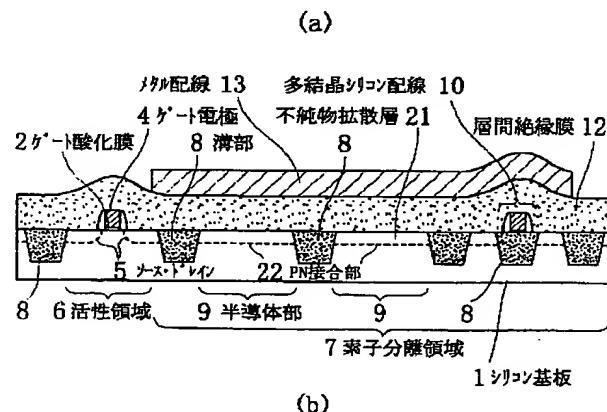
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 受田 高明
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 工藤 千秋
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 蔡 俊樹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 素子分離領域内の配線-基板間容量の低減し、又は容量内の蓄積電荷量を低減することにより、動作速度の高い半導体装置を提供する。

【解決手段】 P型シリコン基板1の上に、素子が配置される活性領域6と、これを囲む素子分離領域7とが設けられ、素子分離領域7は、溝部8とダミーの半導体部9とにより構成されている。基板上には層間絶縁膜12が堆積され、その上には配線13が設けられている。半導体部9内には、素子へのイオン注入と同時に形成された不純物拡散層21が形成され、不純物拡散層21とシリコン基板1との間にPN接合部22が形成されている。配線-基板間容量のうち半導体部9を通る領域の容量成分は、層間絶縁膜12の容量に不純物拡散層21の容量が直列に付加されたものとなり、層間絶縁膜のみによる容量よりも小さくなるので、全配線-基板間容量が低減し、半導体装置の動作速度が速くなる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成され素子が配置される活性領域と、
上記活性領域を取り囲む素子分離領域と、
上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、
上記素子分離領域の上記各溝部の間に介在する半導体部と、
上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、
上記層間絶縁膜の上に形成された配線とを備えているとともに、
上記配線下方の上記半導体部に形成された少なくとも1つのP N接合部を備えていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
上記P N接合部は、上記半導体部に複数個形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板上に形成され素子が配置される活性領域と、
上記活性領域を取り囲む素子分離領域と、
上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、
上記素子分離領域の上記各溝部の間に介在する半導体部と、
上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、
上記層間絶縁膜の上に形成された配線とを備えているとともに、

上記素子分離領域のうち少なくとも上記半導体部と上記層間絶縁膜との間に介設された誘電体膜を備えていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、
上記誘電体膜は、上記半導体部及び溝部と上記層間絶縁膜の間に介在する下敷き絶縁膜であることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、
上記素子は、半導体基板上に形成されたゲート電極と、
上記ゲート電極の両側面上に形成された絶縁性材料からなるサイドウォールとを有しており、
上記下敷き絶縁膜は、上記素子のサイドウォールと共に通の膜から形成されていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、
上記下敷き絶縁膜は、積層膜により構成されていることを特徴とする半導体装置。

【請求項7】 請求項3記載の半導体装置において、
上記誘電体膜は、上記半導体部の上に形成され上記溝部と同じ上面位置を有する埋め込み絶縁膜であることを特徴とする半導体装置。

【請求項8】 請求項3, 4, 5, 6又は7記載の半導

体装置において、
上記誘電体膜は、酸化珪素膜及び窒化珪素膜のうち少なくともいずれか一方により構成されていることを特徴とする半導体装置。

【請求項9】 半導体基板上に形成され素子が配置される活性領域と、
上記活性領域を取り囲む素子分離領域と、
上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、
上記素子分離領域の上記各溝部の間に介在する半導体部と、
上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、
上記層間絶縁膜の上に形成された配線とを備えているとともに、

上記素子分離領域のうち少なくとも1つの上記半導体部の奥方に形成された埋め込み絶縁膜を備えていることを特徴とする半導体装置。

【請求項10】 半導体基板上に形成され素子が配置される活性領域と、
上記活性領域を取り囲む素子分離領域と、
上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、
上記素子分離領域の上記各溝部の間に介在する半導体部と、
上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、
上記層間絶縁膜の上に形成された配線とを備えているとともに、

上記素子分離領域のうち少なくとも1つの上記半導体部の奥方に形成された埋め込み絶縁膜を備えていることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、
上記抵抗体膜は、上記半導体部と溝部とに亘る領域の上に形成された下敷き抵抗体膜であることを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置において、
上記半導体基板上に形成され高抵抗膜を有する抵抗素子をさらに備え、
上記下敷き抵抗体膜は、上記抵抗素子の高抵抗膜と同じ膜から形成されていることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置において、
上記素子は、半導体基板上に形成された導電膜からなるゲート電極を有しており、
上記抵抗体膜は、上記ゲート電極と共に通の膜から形成されていることを特徴とする半導体装置。

【請求項14】 請求項11記載の半導体装置において、
上記素子は、半導体基板上に形成された導電膜からなるゲート電極を有しており、
上記抵抗体膜は、上記ゲート電極と共に通の膜から形成されていることを特徴とする半導体装置。

て、

上記素子は、半導体基板上に形成された第1の導電膜と該第1の導電膜の上に堆積された第2の導電膜により構成されるゲート電極を有しており、

上記ゲート電極の第1の導電膜の上面と上記溝部の上面とがほぼ同じ高さ位置にあり、

上記抵抗体膜のうち上記半導体部の上方にある領域は、上記ゲート電極の上記第1及び第2の導電膜と共に2つの膜から形成されており、

上記抵抗体膜のうち上記溝部の上方にある領域は、上記ゲート電極の上記第1の導電膜と共に膜から形成されていることを特徴とする半導体装置。

【請求項15】 請求項10記載の半導体装置において、

上記抵抗体膜は、上記半導体部の上に形成され上記溝部とほぼ同じ上面位置を有する埋め込み抵抗体部であることを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、

上記埋め込み抵抗体部は、酸素原子及び窒素原子のうちいずれか一方を含んだシリコン膜により構成されていることを特徴とする半導体装置。

【請求項17】 請求項10, 11, 12, 13, 14又は15記載の半導体装置において、

上記抵抗体膜は、多結晶シリコン膜及び非晶質シリコン膜のうち少なくともいずれか一方により構成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレンチ分離構造を有する半導体装置に係り、特に配線一基板間容量の低減対策に関する。

【0002】

【従来の技術】 近年、半導体装置の高密度化・微細化に伴い、半導体装置内の各素子間を分離絶縁するための素子分離を形成する技術として、現在最も一般的に用いられているLOCOSの代わりに、半導体基板に溝を形成し、この溝に絶縁性材料を埋め込んで素子分離とするトレンチ分離技術の導入が試みられている。

【0003】 このトレンチ分離技術においては、半導体基板及び絶縁材料が埋め込まれた溝部の表面を均一に平坦化することが重要であるので、近年、面内均一性に優れパターン依存性の無い平坦化技術として化学機械研磨法(CMP法)の導入が試みられている。さらに、CMP法による平坦化を行う工程では、平坦化される領域の面積などに依存して研磨特性が変化するいわゆるパターン依存性による不具合を回避するために、溝部の面積が広くなるような場合には、素子分離領域に予めダミーの島状の半導体部を設けることが提案されている。つまり、溝部を複数の細い溝に分割して各溝間に半導体基板

10

20

30

40

50

表面を露出させて活性領域としては機能しないダミーの半導体部を設けるのである。

【0004】 図10は、従来提案されている島状のダミーの半導体部を有するトレンチ分離型半導体装置の一例を示す。

【0005】 図10に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、不純物が導入されたソース・ドレイン5とが形成されている。また、活性領域6を取り囲む素子分離領域7には、酸化珪素膜が埋め込まれた複数の溝部8が形成されており、各溝部8の間には、溝部3の上面と同じ上面位置を有する半導体部9が設けられている。なお、素子分離領域7内の溝部8にも素子のゲート酸化膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が設けられている。また、基板の全面上には層間絶縁膜12が堆積されていて、この層間絶縁膜12の上にメタル配線13が設けられている。

【0006】 すなわち、例えば図11(b)に示すような広い溝部を形成すると、溝部に酸化珪素膜を埋め込んだ後、CMP法により基板全体を平坦化する際に、パターン依存性のため溝部に埋め込まれた酸化珪素膜が凹状に研磨されて平坦度が悪化する等の不具合が生じる。図10に示すような素子分離構造は、斯かるパターン依存性に起因する不具合を防止するべく提案されているものである。

【0007】

【発明が解決しようとする課題】 ところで、図10に示す半導体装置を形成する際に、活性領域6内のゲート電極4やソース・ドレイン5等には燐、硼素などの不純物イオンが注入される。しかし、活性領域6以外の領域では、マスクの合わせズレを考慮して素子分離領域まで若干拡大して導入されることはあっても、原則として不純物イオンの注入は行われない。したがって、各溝部8間のダミーの半導体部9には不純物イオンは注入されない。

【0008】 ここで、図10に示すような細分割された溝部8及びダミーの半導体部9とを有するトレンチ分離型半導体装置と、広い分離絶縁膜例えばLOCOS膜を有する半導体装置とにおける配線一基板間容量について説明する。図11(a)は、一例としてダミーの半導体部9を有する素子分離領域7の配線一基板間容量を説明するための断面図である。また、図11(b)は、ダミーの半導体部を設けていないLOCOS分離膜100を有する半導体装置の配線一基板間容量を説明するための断面図である。ただし、図11(a), (b)とも、ソース・ドレイン注入時に素子分離領域7には不純物イオンが注入されておらず、かつ素子分離領域7全体の面積は等しいと仮定する。

【0009】 図11(a)に示す半導体装置においては、全配線一基板間容量Catは容量Ca1とCa2の総和

として表される。つまり、下記式(1)

$$Cat = \Sigma Ca1 + \Sigma Ca2$$

により表される。ところで、配線-基板間の単位面積当たりの容量は、両者間に存在する部材が均質な材料により構成されている場合には、配線-基板間の距離に反比例し、距離が短いほど容量は大きくなる。そのため、図

$$Cat > Cbt$$

なる関係が成立する。つまり、図11(a)に示す構造における配線-基板間の容量Catは、図11(b)に示す構造における配線基板間の容量Cbtよりも大きくなってしまう。

【0010】このように、素子分離領域にダミーの半導体部からなる島状パターンを形成すると、面内均一性のよい平坦化を行うことができるという利点はあるものの、反面、配線-基板間容量が増大し、その結果、半導体装置の動作速度が低下するおそれがあった。

【0011】本発明は係る点に着目してなされたものであり、一般的に、平行平板キャパシターにおいて、電極面積が等しければ電極間距離が長いほどキャパシターの容量は小さくなるという原理、或いは同じキャパシター容量でも電極間電圧が低ければ蓄積電荷量は少ないという物理現象に着目して創案したものである。

【0012】すなわち、本発明の第1の目的は、溝部とダミーの半導体部とからなる素子分離領域を備えたトレンチ分離型半導体装置において、素子分離領域内における配線-基板間容量を低減しうる手段を講ずることにより、動作速度の向上を図ることにある。

【0013】本発明の第2の目的は、溝部とダミーの半導体部とからなる素子分離領域を備えたトレンチ分離型半導体装置において、素子分離領域内における配線-基板間に存在する容量に蓄積される電荷量を低減しうる手段を講ずることにより、動作速度の向上を図ることにある。

【0014】

【課題を解決するための手段】上記第1の目的を達成するために、本発明では、請求項1～2に記載されている第1の半導体装置に関する手段と、請求項3～8記載されている第2の半導体装置に関する手段と、請求項9に記載されている第3の半導体装置に関する手段とを講じている。

【0015】本発明の第1の半導体装置は、請求項1に記載されているように、半導体基板上に形成され素子が配置される活性領域と、上記活性領域を取り囲む素子分離領域と、上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、上記素子分離領域の上記各溝部の間に介在する半導体部と、上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、上記層間絶縁膜の上に形成された配線とを備えているとともに、上記配線下方の上記半導体部に形成された少なくとも1つのPN接合部を備えている。

11 (a)に示す寸法Da2と図11(b)に示す寸法D_btが等しい場合、図11(b)に示す半導体装置における配線-基板間の全容量をCbtとすると、

【0016】これにより、配線-基板間容量のうち素子分離領域の半導体部を通る領域における容量成分は、層間絶縁膜による容量に対して、半導体部のうちPN接合部の上方の部分の容量を直列で付加したものになり、層間絶縁膜のみによる容量よりも小さくなる。したがって、半導体装置全体の配線-基板間容量も低減し、半導体装置の動作速度が向上することになる。

【0017】請求項2に記載されているように、請求項1において、上記PN接合部を上記半導体部に複数個設けることができる。

【0018】これにより、さらに配線-基板間容量のいっそうの低減が可能になるので、動作速度もさらに速くなる。

【0019】本発明の第2の半導体装置は、請求項3に記載されているように、半導体基板上に形成され素子が配置される活性領域と、上記活性領域を取り囲む素子分離領域と、上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、上記素子分離領域の上記各溝部の間に介在する半導体部と、上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、上記層間絶縁膜の上に形成された配線とを備えているとともに、上記素子分離領域のうち少なくとも上記半導体部と上記層間絶縁膜の間に介設された誘電体膜を備えている。

【0020】これにより、配線-基板間容量のうち素子分離領域の半導体部を通る領域における容量成分は、層間絶縁膜の容量に対して誘電体膜の容量が直列に付加された容量となるので、全体としての配線-基板間容量を低減することができる。したがって、半導体装置の動作速度が向上する。

【0021】請求項4に記載されているように、請求項3において、上記誘電体膜として、上記半導体部及び溝部と上記層間絶縁膜との間に介在する下敷き絶縁膜を設けることができる。

【0022】これにより、請求項3の作用効果を有效地に得ることができる。

【0023】請求項5に記載されているように、請求項4において、上記素子に、半導体基板上に形成されたゲート電極と、上記ゲート電極の両側面上に形成された絶縁性材料からなるサイドウォールとを設け、上記下敷き絶縁膜を上記素子のサイドウォールと共に形成することができる。

【0024】この下敷き絶縁膜は、請求項6に記載され

ているように、積層膜により構成することができる。

【0025】請求項5又は6により、いわゆるLDD構造のMOSFETを形成するために必要となるサイドウォールを利用して、配線—基板間容量を低減するための下敷き絶縁膜を形成することができるので、製造コストの増大を回避しながら、請求項3の作用効果を得ることができる。

【0026】請求項7に記載されているように、請求項3において、上記誘電体膜として、上記半導体部の上に形成され上記溝部と同じ上面位置を有する埋め込み絶縁膜を設けることができる。

【0027】これによっても、請求項3の作用効果を有效地に得ることができる。

【0028】請求項8に記載されているように、請求項3, 4, 5, 6又は7において、上記誘電体膜を、酸化珪素膜及び窒化珪素膜のうち少なくともいずれか一方により構成することが好ましい。

【0029】本発明の第3の半導体装置は、請求項9に記載されているように、半導体基板上に形成され素子が配置される活性領域と、上記活性領域を取り囲む素子分離領域と、上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、上記素子分離領域の上記各溝部の間に介在する半導体部と、上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、上記層間絶縁膜の上に形成された配線とを備えているとともに、上記素子分離領域のうち少なくとも1つの上記半導体部の奥方に形成された埋め込み絶縁膜を備えている。

【0030】これにより、素子分離領域全体の配線—基板間容量を低減することが可能となり、動作速度を大幅に低減することが可能となる。

【0031】上記第2の目的を達成するために、本発明では、請求項10～17に記載されている第4の半導体装置に関する手段を講じている。

【0032】本発明の第4の半導体装置は、請求項10に記載されているように、半導体基板上に形成され素子が配置される活性領域と、上記活性領域を取り囲む素子分離領域と、上記素子分離領域に形成され絶縁性材料が埋め込まれた複数の溝部と、上記素子分離領域の上記各溝部の間に介在する半導体部と、上記活性領域及び素子分離領域に亘る領域上に形成された層間絶縁膜と、上記層間絶縁膜の上に形成された配線とを備えているとともに、少なくとも上記半導体部と上記層間絶縁膜の間に介在する抵抗体膜を備えている。

【0033】これにより、半導体装置の抵抗体膜を通る部分において、配線—基板間容量は小さくならなくとも、抵抗体膜における電圧降下により、配線—基板間容量に蓄積される電荷量が低減する。したがって、電荷の充放電に要する時間が短くなり、半導体装置の動作速度が速くなる。

【0034】請求項11に記載されているように、請求

10

10

20

20

30

30

40

40

50

項10において、上記抵抗体膜として、上記半導体部と溝部とに亘る領域の上に形成された下敷き抵抗体膜を設けることができる。

【0035】これにより、半導体基板上に形成される抵抗性を有する各種の膜を利用して、請求項10の作用効果を得ることが可能になる。

【0036】請求項12に記載されているように、請求項11において、上記半導体基板上に形成され高抵抗膜を有する抵抗素子をさらに備え、上記下敷き抵抗体膜を、上記抵抗素子の高抵抗膜と同じ膜から形成することができる。

【0037】これにより、抵抗素子に用いられる高抵抗膜と同じ抵抗を有する下敷き抵抗体膜によって、請求項10の電圧降下作用が顕著に得られる。

【0038】請求項13に記載されているように、請求項11において、上記素子に半導体基板上に形成された導電膜からなるゲート電極を設け、上記抵抗体膜を上記ゲート電極と共に膜から形成することができる。

【0039】請求項14に記載されているように、請求項11において、上記素子に半導体基板上に形成された第1の導電膜と該第1の導電膜の上に堆積された第2の導電膜により構成されるゲート電極を設け、上記ゲート電極の第1の導電膜の上面と上記溝部の上面とをほぼ同じ高さ位置になるようにしておき、上記抵抗体膜のうち上記半導体部の上方にある領域を上記ゲート電極の上記第1及び第2の導電膜と共に2つの膜から形成し、上記抵抗体膜のうち上記溝部の上方にある領域を上記ゲート電極の上記第1の導電膜と共に膜から形成することができる。

【0040】請求項13又は14により、別途抵抗体膜を形成するための工程が不要となるので、製造コストの増大を回避しつつ、請求項10の作用効果を得ることができる。

【0041】請求項15に記載されているように、請求項10において、上記抵抗体膜として、上記半導体部の上に形成され上記溝部とほぼ同じ上面位置を有する埋め込み抵抗体部を設けることができる。

【0042】請求項16に記載されているように、請求項15において、上記埋め込み抵抗体部を、酸素原子及び窒素原子のうちいずれか一方を含んだシリコン膜により構成することができる。

【0043】請求項15又は16によても、請求項10の作用効果を有效地に得ることができる。

【0044】請求項17に記載されているように、請求項10, 11, 12, 13, 14又は15において、上記抵抗体膜を、多結晶シリコン膜及び非晶質シリコン膜のうち少なくともいずれか一方により構成することができる。

【0045】これにより、ゲート電極や抵抗素子を構成するために使用される多結晶シリコン膜や非晶質シリコ

ン膜を利用して抵抗体膜を形成できるので、製造コストの増大を回避しながら、請求項10の作用効果を得ることができる。

【0046】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

【0047】(第1の実施形態) 図1(a)は、第1の実施形態にかかる半導体装置の断面図である。

【0048】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ソース・ドレイン5により構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面上に堆

$$C_{jt} = \sum \{ (Ca1 \times Cj1) / (Ca1 + Cj1) \} + \sum Ca2$$

により表され、式(1)で表わされる全容量Catより小さくなる。すなわち、下記式(4)

が成り立つ。

【0051】したがって、本実施形態の半導体装置によると、素子分離領域7内のダミーの半導体部9内にPN接合部22が存在するために、配線-基板間容量を低減することが可能になり、半導体装置の動作速度の向上を図ることができる。

【0052】また、本実施形態のごとく、活性領域にMOSFETを設ける場合、半導体部9のPN接合部22は、ソース・ドレイン5を形成する際の不純物イオンの注入によって容易に形成できるので、製造コストの増大を招くこともない。

【0053】なお、本実施形態ではP型シリコン基板を用いた場合を述べたが、N型シリコン基板を用いる場合は、溝部の間の半導体部の上部にP型の不純物を導入することで、N型シリコン基板との間にPN接合部が形成されるので、本実施形態と同様の効果が得られることはいうまでもない。

【0054】(第2の実施形態) 図2は、第2の実施形態にかかる半導体装置の断面図である。

【0055】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜

$$C_{jt} = \sum \{ (Ca1 \times Cj1) / (Ca1 + Cj1) \} + \sum \{ (Ca2 \times Ck1) / (Ca2 + Ck1) \}$$

により表され、式(1)で表わされる全容量Catより小さくなる。ただし、Ck1は溝部8の底面とPN接合部3

$$C_{jt} < Cat$$

が成立する。

【0058】したがって、本実施形態の半導体装置にお

積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0049】ここで、素子分離領域7中の半導体部9には、シリコン基板1と逆導電型の不純物であるN型不純物が導入された不純物拡散層21が設けられており、この不純物拡散層21とシリコン基板1との間にPN接合部22が形成されている。このPN接合部22は溝部14の上面と底面との間にある。

【0050】図1(b)は、本実施形態に係る半導体装置の素子分離領域7における配線-基板間容量を説明するための断面図である。同図に示すように、本実施形態に係る半導体装置の配線-基板間容量には、図1

(a)に示す従来の半導体装置における配線-基板間容量と同様に、容量Ca1と容量Ca2の成分が存在する。さらに、本実施形態では、半導体部9内にPN接合部22が形成されるため、新たな容量Cj1が容量Ca1に対して直列に付加される。よって、全配線-基板間容量Cjtは、下記式(3)

$$(Ca1 + Cj1) + \sum Ca2 \quad (3)$$

さくなる。すなわち、下記式(4)

$$(4)$$

からなるゲート電極4と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面上に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0056】ここで、素子分離領域7中のダミーの半導体部9にはシリコン基板1内の不純物と逆導電型の不純物であるN型不純物が導入された不純物拡散層31が形成されており、この不純物拡散層31とシリコン基板1との間に、PN接合部32が形成されている。このPN接合部32は、溝部8の底面より下方にある。

【0057】上記実施形態の素子分離領域7における配線-基板間容量は、下記式(5)

$$C_{jt} = \sum \{ (Ca1 \times Cj1) / (Ca1 + Cj1) \} + \sum \{ (Ca2 \times Ck1) / (Ca2 + Ck1) \} \quad (5)$$

との間の容量である。すなわち、上記第1の実施形態と同様に、下記式(6)

$$(6)$$

いても、上記第1の実施形態と同様に、素子分離領域7内のダミーの半導体部9にPN接合部32が存在するた

め配線ー基板間容量を低減することが可能になり、半導体装置の動作速度の向上を図ることができる。特に、本実施形態では、半導体部9を通る領域だけでなく溝部を通る領域をも含めた素子分離領域全体を通る領域における配線ー基板間容量を低減することができるので、動作速度の向上効果は大きい。

【0059】本実施形態のようなPN接合部32は、MOSFETのソース・ドレインの形成の際における不純物イオンの注入によっては形成が困難であるが、そのかわりに、不純物濃度や注入深さを任意に調整できるので、容量の低減効果を高めることができる。

【0060】なお、本実施形態ではP型シリコン基板を用いた場合を述べたが、N型シリコン基板を用いてもよく、その場合には、半導体部内にはP型の不純物を導入して不純物拡散層を形成することによって、PN接合部を設けることができ、本実施形態と同様の効果が得られる。

【0061】(第3の実施形態) 図3は、第3の実施形態にかかる半導体装置の断面図である。

【0062】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられ

$$C_{jt} = \sum \{ 1 / [(1/C_{a1}) + (1/C_{j1}) + (1/C_{j2})] \} \quad (7)$$

により表され、上述の第1の実施形態の半導体装置における式(1)で表わされる全容量Catより小さくなる。

$$C_{jt} < Cat$$

が成立する。

【0065】本実施形態では、素子分離領域7内のダミーの半導体部9に複数のPN接合部43、44を設けたので、半導体装置の配線ー基板間容量のうち半導体部9を通る領域における容量成分が、層間絶縁膜の容量に対してP型不純物拡散層41及びN型不純物拡散層42の容量を直列に接続してなる容量で表される。したがって、半導体装置の配線ー基板間容量を上記第1の実施形態よりもさらに低減することが可能となり、半導体装置

$$C_{jt} = \sum \{ 1 / [(1/C_{a1}) + \sum (1/C_{jm})] \} + \sum \{ 1 / [(1/C_{a2}) + \sum (1/C_{jn})] \} \quad (9)$$

で表され、式(1)で表わされる全容量Catより小さく

$$C_{jt} < Cat$$

が成立する。

【0067】このような構造の場合には、素子分離領域7の半導体部だけでなく溝部を通る領域の容量成分が小さくなるので、配線ー基板間容量を大幅に低減することが可能になる。

【0068】(第4の実施形態) 図4は、第4の実施形態にかかる半導体装置の断面図である。

【0069】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜

ている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0063】ここで、素子分離領域7中のダミーの半導体部9内には、シリコン基板表面から順に、P型不純物拡散層41と、N型不純物拡散層42とが存在している。すなわち、P型不純物拡散層41とN型不純物拡散層42との間に第1PN接合部43が形成され、N型不純物拡散層42とP型シリコン基板1の間に第2PN接合部44が形成されている。なお、第1、第2PN接合部43、44は、いずれも溝部8の上面と底面の間にある。

【0064】ここで、本実施形態に係る半導体装置の全配線ー基板間容量C_{jt}は、P型不純物層41の接合容量をC_{j1}、N型不純物層42の接合容量をC_{j2}とすると、下記式(7)

すなわち、下記式(8)

$$(8)$$

の動作速度の向上を図ることができる。

【0066】なお、本実施形態では2層の不純物拡散層により2つのPN接合部43、44を形成した例を述べたが、3層以上の不純物拡散層により3つ以上のPN接合部を形成した場合も同様に表わせる。例えば、ダミー活性領域9にm個のPN接合部が形成され、さらに溝部8の直下にn個のPN接合部が形成されているとする

と、全配線ー基板間容量C_{jt}は、下記式(9)

$$C_{jt} = \sum \{ 1 / [(1/C_{a1}) + \sum (1/C_{jm})] \} + \sum \{ 1 / [(1/C_{a2}) + \sum (1/C_{jn})] \} \quad (10)$$

からなるゲート電極4と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。ま

た、上記素子分離領域7内の半導体部9及び溝部8に跨って、ゲート電極4と同時に形成された多結晶シリコン膜からなるダミーゲート51が存在している。さらに、ダミーゲート51、多結晶シリコン配線10及びシリコン基板表面（活性領域を除く）に亘る領域の上には、酸化珪素膜52と、多結晶シリコン膜からなる高抵抗膜53とが積層して形成されている。ダミーゲート51は、ゲート電極4及び多結晶シリコン配線10と共に第1層目の多結晶シリコン膜をパターニングして形成されており、ゲート電極4及び多結晶シリコン配線10とは一定の間隔を隔てて形成されている。ここで、高抵抗膜53を構成する多結晶シリコン膜は、ゲート電極4等を構成する第1層目の多結晶シリコン膜よりも高いシート抵抗を有しており、不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。なお、ダミーゲート51のシート抵抗も、活性領域への不純物注入時に素子分離領域をレジスト膜等で覆つておくことにより、高抵抗に保つことができる。

【0070】本実施形態の半導体装置においては、配線一基板間の容量ではなく配線一高抵抗膜間の容量を考慮すればよい。その場合、高抵抗膜53を構成する多結晶シリコン膜の抵抗が高いために、高抵抗膜53の上端とシリコン基板1の表面との間で電圧降下が起こる。したがって、層間絶縁膜12自体の容量は変わらないが、層間絶縁膜の両端に印加される電圧が低い。層間絶縁膜12の両側に蓄えられる電荷量は電圧に比例して減少するので、配線一高抵抗膜間における電荷の充放電に要する時間が短くなり、半導体装置の動作速度が向上する。

【0071】本実施形態における高抵抗膜53は、例えば抵抗素子の高抵抗膜やローカル配線と共に通の膜からパターニングすることにより容易かつ安価に形成することができます。また、ダミーゲート51の代わりに、半導体基板上のいずれかにMIMキャバシタを形成する際に使用する上層膜、容量絶縁膜及び下層膜を構成する3つの膜から上記高抵抗膜53、酸化珪素膜52及びダミーゲート51に相当する膜を形成することも可能である。

【0072】さらに、上記ダミーゲート51及び高抵抗膜53のうちいずれか一方と酸化珪素膜52とがなくても、電荷の充放電に要する時間の低減による半導体装置の動作速度の向上を図ることは可能である。

【0073】なお、ここでは素子分離領域7上に高抵抗膜53を構成する多結晶シリコン膜と酸化珪素膜52との積層膜が存在する場合を述べたが、多結晶シリコン膜の代わりに非晶質シリコン膜や窒化珪素膜を用いた場合でも同様の効果がある。特に、酸化珪素膜などの絶縁膜を用いれば、全容量も低減でき、半導体装置の動作速度をいっそう向上できる。

【0074】（第5の実施形態）図5は、第5の実施形態にかかる半導体装置の断面図である。

【0075】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜

10

20

30

40

50

からなるゲート電極4と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート電極4と同時に形成された多結晶シリコン配線10が存在している。

【0076】ここで、本実施形態では、ゲート電極4が第1の導電膜からなる下層部4aと、第2の導電膜からなる上層部4bとにより構成されている。そして、素子分離領域7には、ゲート電極4の下層部4aと同じ第1の導電膜により構成される下層部51aと、ゲート電極4の上層部4bと同じ第2の導電膜により構成される上層部51bとからなるダミーゲート51が設けられている。このダミーゲート51の下層部51aの上面は溝部8の上面と同じ高さ位置を有し、この下層部51aと溝部8とが平坦化されている。また、多結晶シリコン配線10は、ゲート電極4の上層部4bを構成する第2の導電膜のみにより構成されている。ダミーゲート51は、ゲート電極4及び多結晶シリコン配線10とは一定の間隔を隔てて形成されており、ラインアンドスペースの関係によってフォトリソグラフィー工程におけるパターニング精度を高くするようになされている。そして、基板の全面に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0077】そして、基板の全面に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0078】本実施形態においても、上記第4の実施形態と同様に、層間絶縁膜の両端に蓄積される電荷量の低減による動作速度の向上を図ることができる。なお、本実施形態のような構造を有する半導体装置においては、ゲート電極4のうち上層部4bはシリサイドなど低抵抗の膜で構成されることが多いが、その場合にも、配線一基板間の電圧は上層部4bと下層部4aとに直列に印加されるので電圧降下による電荷量の低減作用、ひいては半導体装置の動作速度の向上効果を有効に発揮することができる。

【0079】本実施形態では、上記第4の実施形態のような高抵抗膜を設けていないが、ダミーゲートの上方に絶縁膜を挟んで高抵抗膜を設けてもよいことはいうまでもない。

【0080】（第6の実施形態）図6は、第6の実施形態にかかる半導体装置の断面図である。

【0081】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ソース・ドレイン5とにより

構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面上に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0082】ここで、素子分離領域7内のダミーの半導体部9の上方かつ層間絶縁膜12の下方には、酸化珪素膜からなる埋め込み絶縁膜61が溝部8に囲まれるように形成されている。この埋め込み絶縁膜61の上面は溝部8の上面と同じ高さ位置にあり、埋め込み絶縁膜61の下端は溝部8の上面と底面との間の高さ位置にある。

【0083】本実施形態の半導体装置においては、ダミーの半導体部9が掘り下げられ、酸化珪素膜で埋め込まれた埋め込み絶縁膜61が形成されているので、図10に示す従来の半導体装置に比べ、配線-基板間距離が長い。配線-基板間容量は距離に反比例して小さくなるので、本実施形態の半導体装置の配線-基板間容量は従来の半導体装置における配線-基板間容量よりも低減され、半導体装置の動作速度の向上を図ることができる。

【0084】なお、本実施形態においては、ダミー活性領域に酸化珪素膜が埋め込まれた例について説明したが、酸化珪素膜の代わりに窒化珪素膜などの絶縁膜を用いても同様の効果が得られる。

【0085】(第7の実施形態) 図7は第7の実施形態にかかる半導体装置の断面図である。

【0086】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面上に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0087】ここで、素子分離領域7内のダミーの半導体部9の上部には酸素原子がイオン注入などによって導入され、高抵抗のシリコン層からなる高抵抗部71が形成されている。この高抵抗部71の下端の高さ位置は、溝部8の上面と底面との間にあるが、溝部8の底面

よりも下方に位置していてもよい。

【0088】本実施形態に係る半導体装置においては、ダミーの半導体部9のシリコン基板にイオン注入などにより酸素原子が導入され高抵抗のシリコン層からなる高抵抗部71が形成されているために、配線-基板間に電圧が印加された場合に高抵抗部71において電圧降下が生じる。したがって、配線-半導体部9間の電位差が小さくなり、配線-半導体部9間の層間絶縁膜12自体の容量は、図10に示す従来の半導体装置における層間絶縁膜12の容量と変わらないが、蓄積電荷量は電圧に比例して減少する。したがって、容量に対する電荷の充放電に要する時間が短くなり、半導体装置の動作速度が向上する。

【0089】なお、本実施形態においては、ダミーの半導体部9に導入された不純物が酸素原子の例について説明したが、窒素原子を導入しても同様の効果が得られる。

【0090】(第8の実施形態) 図8は、第8の実施形態にかかる半導体装置の断面図である。

【0091】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ゲート電極4の側面上に形成された酸化珪素膜からなるサイドウォール3と、ソース・ドレイン5とにより構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに基板の全面上に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0092】ここで、素子分離領域7内のダミーの半導体部9及び溝部8に跨って、ゲート電極4の側面上のサイドウォールと同時に形成された酸化珪素膜からなる下敷き絶縁膜81が形成されている。なお、この下敷き絶縁膜81は、多結晶シリコン配線10全体を覆うように形成されている。

【0093】本実施形態の半導体装置によると、素子分離領域7の上には酸化珪素膜からなる下敷き絶縁膜81が存在しているので、図10に示す従来の半導体装置に比べ、配線-基板間距離が長い。配線-基板間容量は距離に反比例して小さくなるために、本実施形態の半導体装置では配線-基板間容量が低減され、よって、動作速度の向上を図ることができる。

【0094】なお、本実施形態においては、下敷き絶縁膜81を酸化珪素膜により構成した例について説明したが、窒化珪素膜などの絶縁膜を用いても同様の効果が得

られる。

【0095】また、本実施形態においては下敷き膜が単層膜である場合について説明したが、下敷き絶縁膜は単層膜である必要はなく、積層膜であってもよい。例えば、サイドウォールがゲート電極の側面から基板上に跨るL字状の部分とその上のくさび状の部分とからなるものであったり、ゲート上保護膜とサイドウォールとを設けた場合などには、下敷き絶縁膜も積層膜となる。かかる場合にも本実施形態と同様の効果を発揮しうることはいうまでもない。

【0096】(第9の実施形態) 図9(a)は、第9の実施形態にかかる半導体装置の断面図である。

【0097】同図に示すように、P型シリコン基板1の活性領域6には、ゲート酸化膜2と、多結晶シリコン膜からなるゲート電極4と、ソース・ドレイン5により構成されるMOSFETとして機能する素子が設けられている。また、各素子を電気的に分離するための素子分離領域7には、絶縁性材料である酸化珪素膜が埋め込まれた複数の溝部8と、各溝部8の間に設けられ活性領域としては機能しないダミーの半導体部9が存在する。また、素子分離領域7の1つの溝部8の上には、ゲート絶

$C_{ijt} = \sum_i (C_{ai} \times C_{ij}) / (C_{ai} + C_{ij})$

で表され、式(3)で表わされる全容量C_{jt}より小さく

$$C_{ijt} < C_{jt}$$

が成立する。よって、上述の式(4)の関係より

$$C_{ijt} < C_{at}$$

となり、本実施形態に係る半導体装置の配線-基板間容量が小さくなるので、半導体装置の動作速度が向上する。

【0101】なお、上記各実施形態では、活性領域6内に配置される素子としてMOSFETを設けたが、本発明はかかる実施形態に限定されるものではなく、素子にはバイポーラトランジスタ、ダイオード等のMOSFET以外の能動素子や、キャパシタ等の受動素子も含まれるものとする。

【0102】

【発明の効果】請求項1~2によると、絶縁性材料が埋め込まれた溝部と、それ自身としては活性領域として機能しないダミーの半導体部とからなる素子分離領域を有し、基板全体上に層間絶縁膜を介して配線を設けてなる半導体装置において、ダミーの半導体部にPN接合を設けたので、配線-基板間容量のうち半導体部を通る領域の容量成分を低減することができ、よって、半導体装置全体の配線-基板間容量の低減により半導体装置の動作速度の向上を図ることができる。

【0103】請求項3~8によると、絶縁性材料が埋め込まれた溝部と、それ自身としては活性領域として機能しないダミーの半導体部とからなる素子分離領域を有し、基板全体上に層間絶縁膜を介して配線を設けてなる半導体装置において、素子分離領域のうち少なくともダ

50 縁膜2及びゲート電極4と同時に形成された多結晶シリコン配線10が存在している。さらに、基板の全面上に堆積された酸化珪素膜からなる層間絶縁膜12と、層間絶縁膜12の上に形成されたメタル配線13とを備えている。

【0098】ここで、上記ダミーの半導体部9及び溝部8の下方には、酸化珪素膜からなる埋め込み絶縁膜91が溝部8の下端に接して形成されている。その結果、半導体部9の側面は溝部8に、半導体部9の底面は埋め込み絶縁膜91に接している。

【0099】図9(b)は、本実施形態に係る半導体装置の配線-基板間容量を説明するための断面図である。本実施形態に係る半導体装置によると、シリコン基板下に酸化珪素膜からなる埋め込み絶縁膜91を形成しているので、容量C_{ijt}は、図1(b)に示す容量C_{j1}の2分の1以下になる(T. Nishimura and Y. Inoue: Proceedings of VLSI TECHNOLOGY WORKSHOP ON "WHAT IS THE FUTURE OF SOI?" (1995) p. 123)。

【0100】したがって、半導体装置の全配線-基板間容量C_{ijt}は、下記式(11)

$$(C_{ai} + C_{ij}) / (C_{ai} + C_{ij}) + \sum C_{a2} \quad (11)$$

なる。すなわち、下記式(12)

$$(12)$$

ミーの半導体部と層間絶縁膜との間に誘電体膜を設けたので、配線-基板間容量のうち少なくとも半導体部を通る領域の容量成分を低減することができ、よって、半導体装置全体の配線-基板間容量の低減により半導体装置の動作速度の向上を図ることができる。

【0104】請求項9によると、絶縁性材料が埋め込まれた溝部と、それ自身としては活性領域として機能しないダミーの半導体部とからなる素子分離領域を有し、基板全体上に層間絶縁膜を介して配線を設けてなる半導体装置において、ダミーの半導体部の側面と底面を絶縁膜で囲むようにしたので、配線-基板間容量のうち素子分離領域を通る領域における容量成分を低減することができ、よって、半導体装置の動作速度の向上を図ることができる。

【0105】請求項10~17によると、絶縁性材料が埋め込まれた溝部と、それ自身としては活性領域として機能しないダミーの半導体部とからなる素子分離領域を有し、基板全体上に層間絶縁膜を介して配線を設けてなる半導体装置において、素子分離領域のうち少なくともダミーの半導体部と層間絶縁膜との間に抵抗体膜を設けたので、配線-基板間における電圧の印加に対する層間絶縁膜にかかる電位差の低下を利用して、蓄積電荷量を少なくすることができ、よって、電荷の充放電に要する時間の短縮により半導体装置の動作速度の向上を図ることができる。

【図面の簡単な説明】

【図1】半導体部に浅いP N接合部を形成した第1の実施形態に係る半導体装置の断面図である。

【図2】半導体部に深いP N接合部を形成した第2の実施形態に係る半導体装置の断面図である。

【図3】半導体部に2つのP N接合部を形成した第3の実施形態に係る半導体装置の断面図である。

【図4】半導体部の上に高抵抗体膜を設けた第4の実施形態に係る半導体装置の断面図である。

【図5】積層ゲートを設けた第5の実施形態に係る半導体装置の断面図である。

【図6】半導体部の上に埋め込み絶縁膜を設けた第6の実施形態に係る半導体装置の断面図である。

【図7】半導体部の上部を高抵抗体部とした第7の実施形態に係る半導体装置の断面図である。

【図8】層間絶縁膜の下方に下敷き絶縁膜を設けた第8の実施形態に係る半導体装置の断面図である。

【図9】素子分離領域の全体に亘る埋め込み絶縁膜を設けた第9の実施形態に係る半導体装置の断面図である。

【図10】従来の半導体装置の断面図である。

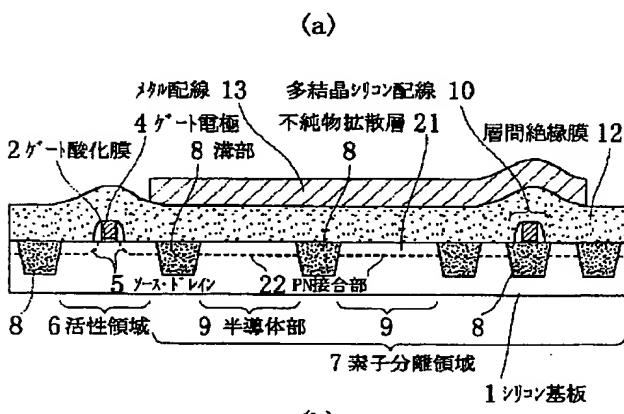
【図11】従来のトレンチ分離型半導体装置とLOCOS分離型半導体装置における配線-基板間容量を説明するための断面図である。

【符号の説明】

1 シリコン基板

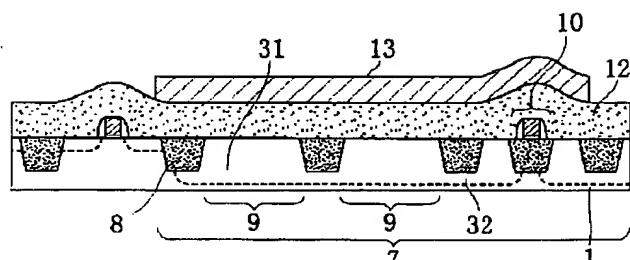
| | |
|--------|-----------|
| 2 | ゲート酸化膜 |
| 3 | サイドウォール |
| 4 | ゲート電極 |
| 5 | ソース・ドレイン |
| 6 | 活性領域 |
| 7 | 素子分離領域 |
| 8 | 溝部 |
| 9 | 半導体部 |
| 10 | メタル配線 |
| 11 | 溝 |
| 21, 31 | 不純物拡散層 |
| 22, 32 | P N接合部 |
| 41 | P型不純物拡散層 |
| 42 | N型不純物拡散層 |
| 43 | 第1 P N接合部 |
| 44 | 第2 P N接合部 |
| 51 | ダミーゲート |
| 52 | 酸化珪素膜 |
| 53 | 高抵抗膜 |
| 61 | 埋め込み絶縁膜 |
| 71 | 高抵抗体部 |
| 81 | 下敷き絶縁膜 |
| 91 | 埋め込み絶縁膜 |

【図1】

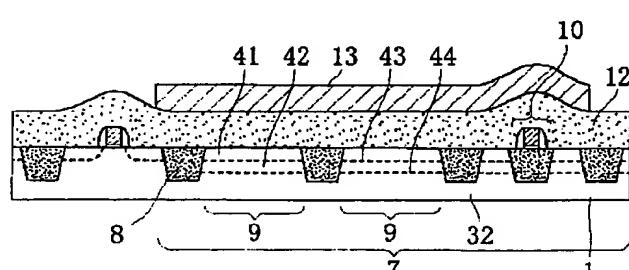
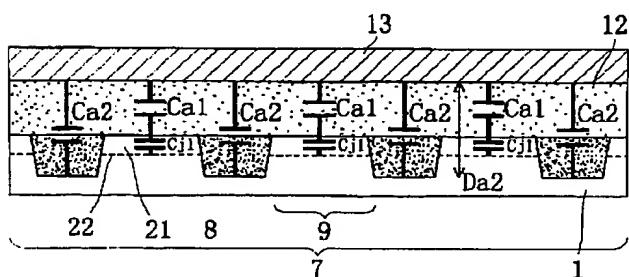


(a)

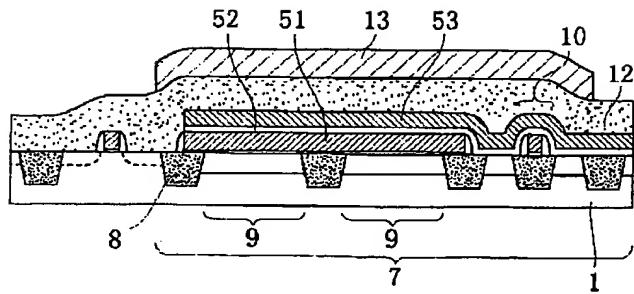
【図2】



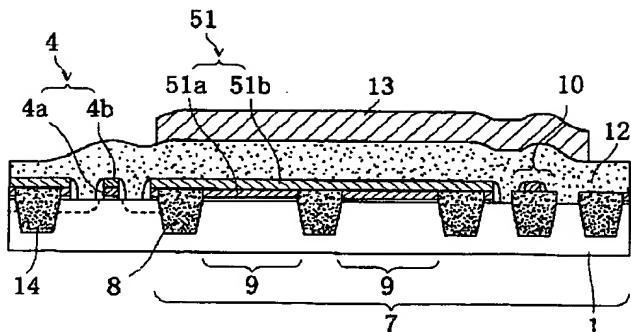
【図3】



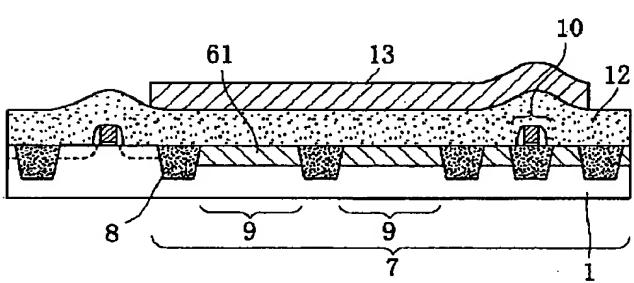
【図4】



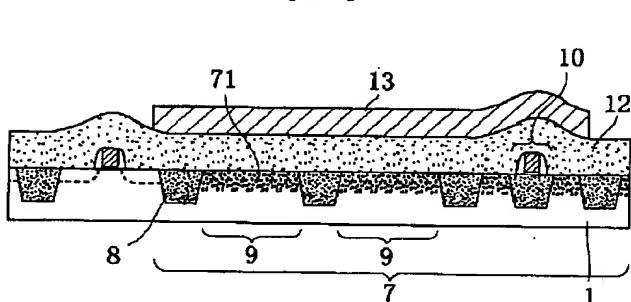
【図5】



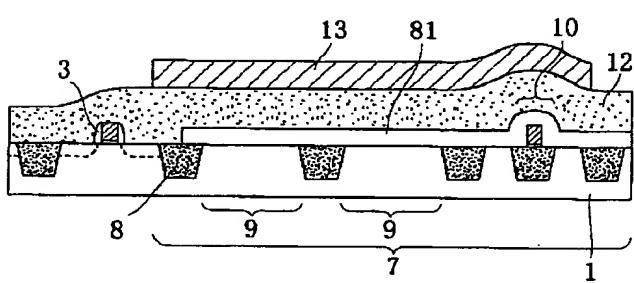
【図6】



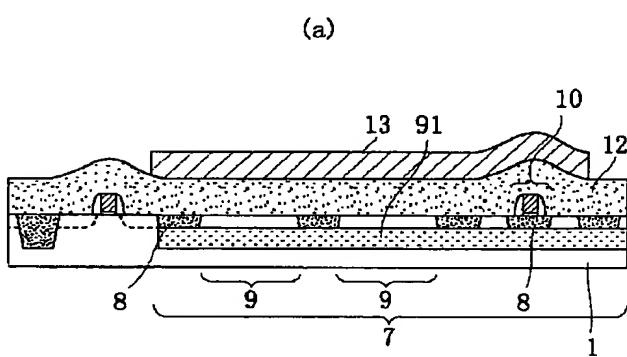
【図7】



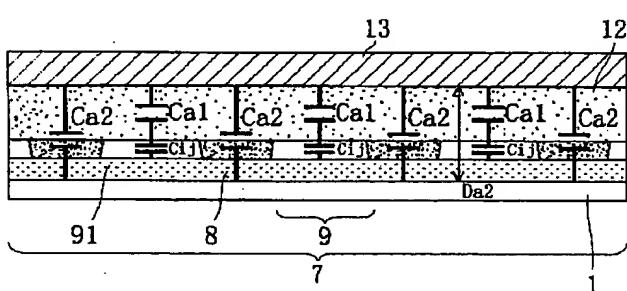
【図8】



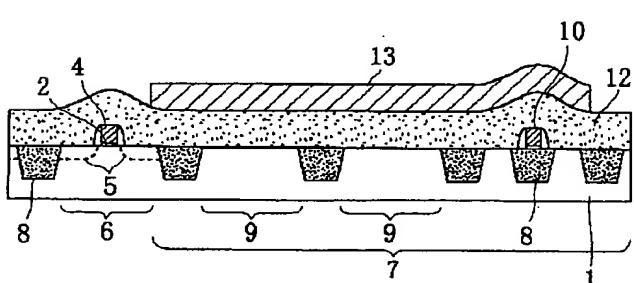
【図9】



(b)

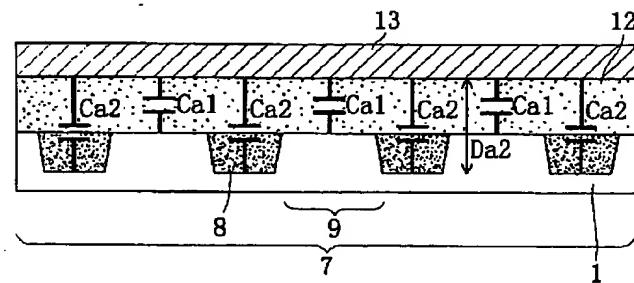


【図10】



【図11】

(a)



(b)

